



Práctica 4: Jerarquía de memorias

1. Describir las características generales de un programa que muestre poca localidad espacial y temporal en relación con sus accesos a los datos. Proporcionar un programa de ejemplo en pseudocódigo.
2. Explicar conceptualmente en que consiste una jerarquía de memoria, y cual es su influencia sobre el sistema.
3. Suponga una caché de 2048 bytes dividida en bloques de 64 bytes. La caché está, a su vez, agrupada en 8 conjuntos. El nivel inferior es una RAM de 16 Kbytes.
 - a. Cuántos bloques tiene cada conjunto de la caché?
 - b. Cuántos bloques tiene la RAM.
 - c. Muestre las ecuaciones para calcular el conjunto y posición dentro del mismo que le corresponden al bloque número 100 de RAM.
 - d. Muestre los valores de la ETIQUETA, INDICE y DESPLAZAMIENTO si la dirección que busca la CPU es 10480.
4. La cache C1 es una cache de correspondencia directa con 16 bloques de una palabra. La cache C2 es una cache de correspondencia directa con cuatro bloques de cuatro palabras cada uno. Se supondrá que la penalización por fallo de C1 es de 8 ciclos y que la penalización por fallo de C2 es de 11 ciclos. Si las caches están inicialmente vacías, encontrar una serie de referencias para la que la cache C2 tenga una tasa de fallos menor pero gaste más ciclos en los fallos que C1. Se deberán utilizar direcciones de palabra.
5. ¿Cuál es el ancho de banda de un sistema de memoria capaz de transferir 64 bits de datos por cada acceso, con una latencia de 25 ns por operación y un tiempo de precarga de 5 ns entre operaciones?
6. Si un sistema de memoria tiene un ancho de banda de 120,000,000 bytes/s, transfiere 2 bytes en cada acceso y tiene un tiempo de precarga de 5 ns entre accesos, ¿cuál es la latencia del sistema de memoria?
7. Suponiendo un procesador que solicita al sistema de memoria la siguiente secuencia de direcciones de palabras de memoria:

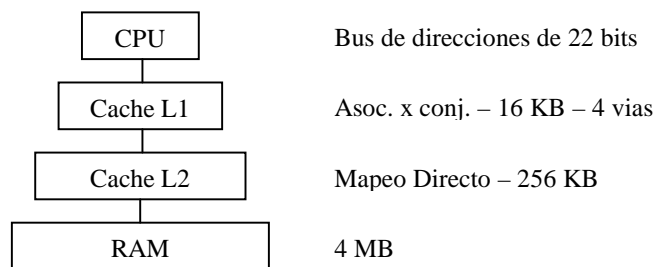
1, 4, 8, 5, 20, 17, 19, 56, 9, 11, 4, 43, 5, 6, 9, 17.

Asumiendo una cache de mapeo directo con 16 bloques de una palabra, inicialmente vacía, rotule cada referencia de la lista anterior como un acierto o un fallo y muestre el contenido final de la cache.
8. Repetir el ejercicio anterior para una cache totalmente asociativa con bloques de 1 palabra y tamaño total de 8 palabras. Aplicar una política de reemplazo pseudoaleatoria con función de generación $x(i+1) = (5*x(i)+7) \bmod 8$ y semilla 3.
9. Usando la lista de referencias del ejercicio anterior, muestre los aciertos y fallos y el contenido final de la cache, para una memoria cache asociativa por conjuntos de 4 vías y 16 palabras de tamaño total. Asuma reemplazo LRU con antigüedad de bloque de hasta 4 (00_2 a 11_2).
10. Sean tres máquinas con las siguientes configuraciones:

- a. Máquina 1: cache de correspondencia directa con bloques de una palabra. Tiene una tasa de fallo por instrucciones del 4 % y una tasa de fallo por datos del 8 %.
- b. Máquina 2: cache de correspondencia directa con bloques de cuatro palabras. Su tasa de fallo por instrucciones es del 2 %, y por datos del 5 %.
- c. Máquina 3: cache asociativa con bloques de cuatro palabras. Tiene una tasa de fallo por instrucciones del 2 % y una tasa de fallo por datos del 4 %.

En dichas máquinas, la mitad de las instrucciones contienen una referencia a datos. Se considera que la penalización por fallo es de 6 ciclos + el tamaño del bloque en palabras. El CPI de este programa en una máquina tipo 1 es de 2.0. Determinar qué máquina utiliza más ciclos en fallos de cache. Que porcentaje del tiempo de ejecución del programa en la máquina tipo 1 representan los fallos.

11. Dado un sistema de computadora con una jerarquía de memoria de tres niveles como se muestra en la figura.



La CPU genera direcciones de 22 bits y maneja palabras de Byte (ancho de palabra para el primer nivel de la jerarquía). El primer nivel de cache (L1) es una memoria asociativa por conjuntos de 16 KB de 4 vías y bloques de 128 bytes. El segundo nivel de cache (L2) es de mapeo directo de 256 KB y bloques de 2 KB. La RAM es de 4 MB.

En este contexto:

- a. Muestre los contenidos de los campos de etiqueta, índice y desplazamiento de las cache L1 y L2 cuando la CPU emite la dirección 222000.
- b. ¿En qué bloque de RAM cae dicha dirección?
- c. Cuál es el tiempo medio de acceso de la cache L1 si:
 - PFL2=192 ciclos de reloj;
 - FFL2=10%;
 - TaciertoL2=12 ciclos de reloj;
 - FFL1=20%
 - TaciertoL1=1 ciclo de reloj
- d. Calcule el tiempo de CPU del programa si la frecuencia del procesador es de 1,4 GHz; se ejecuta un programa de 256000 instrucciones en un procesador con un CPI = 5 ciclos/instrucción para las instrucciones que no acceden a memoria y que estadísticamente ascienden al 55% en el código que se ejecuta.

12. Sea una cache con un tiempo de acceso (tiempo de acierto en cache) de 10 ns y una tasa de fallos del 5 %. Si se realiza un cambio en la cache se disminuye la tasa de fallos al 3 % pero se incrementa el tiempo de acierto de cache a 15 ns. ¿Bajo qué condiciones este cambio supondría una mejora de las prestaciones, es decir, un tiempo medio de acceso a memoria menor?