



**Práctica 4.5: Adicional de jerarquía de memorias**

1. Describir las características generales de un programa que muestre mucha localidad temporal pero poca localidad espacial en relación con sus accesos a las instrucciones. Proporcionar un programa de ejemplo en pseudocódigo.
2. Sea la serie de direcciones a palabra 1, 5, 8, 17, 20, 17, 1, 56, 69, 12, 4, 43, 5, 6, 19, 17. Suponiendo una cache de correspondencia directa con 16 bloques de una palabra que inicialmente está vacía, etiquetar cada referencia como acierto o fallo en la cache y mostrar el contenido final de la memoria cache.
3. Utilizando la serie de referencias del ejercicio 2 mostrar los aciertos, fallos y estado final de una cache 2-asociativa por conjuntos con bloques de dos palabras y un tamaño total de 16 palabras. Aplicar una política de reemplazo LRU.
4. Repetir el ejercicio anterior para una cache totalmente asociativa con bloques de 1 palabra y tamaño total de 8 palabras. Aplicar una política de reemplazo pseudoaleatoria con función de generación  $x(i+1) = (5*x(i)+7) \bmod 8$  y semilla 3.
5. Repetir el ejercicio 3 para una cache de mapeo directo con bloques de cuatro palabras y un tamaño total de 16 palabras.
6. La asociatividad normalmente mejora la tasa de fallo, pero no siempre. Dar una pequeña serie de direcciones para la que una cache 2-asociativa por conjuntos con una política LRU tenga más fallos que una cache de correspondencia directa del mismo tamaño.
7. ¿Cuál es el ancho de banda de un sistema de memoria capaz de transferir 64 bits de datos por cada acceso, con una latencia de 25 ns por operación y un tiempo de precarga de 5 ns entre operaciones?
8. Si un sistema de memoria tiene un ancho de banda de 120,000,000 bytes/s, transfiere 2 bytes en cada acceso y tiene un tiempo de precarga de 5 ns entre accesos, ¿cuál es la latencia del sistema de memoria?
9. En una jerarquía de memoria de dos niveles, si el nivel superior tiene un tiempo de acceso de 8 ns y el inferior de 60 ns, ¿cuál debe ser la tasa de aciertos del nivel superior para conseguir un tiempo medio de acceso de 10 ns?
10. Un sistema de memoria de dos niveles tiene un tiempo medio de acceso de 12 ns. El nivel superior de la jerarquía tiene una tasa de aciertos del 90 por 100 y un tiempo de acceso de 5 ns. ¿Cuál es el tiempo de acceso del nivel inferior del sistema de memoria?
11. Si se necesitan 2.5 ns para acceder a las etiquetas en una cache asociativa por conjuntos, 4 ns para acceder a los datos, 1 ns para realizar la comparación de acierto/fallo y 1 ns para devolver los datos seleccionados por el procesador en caso de acierto,
  - a. El camino crítico en un acierto de cache, ¿vendrá dado por el tiempo para determinar si ha existido acierto o por el tiempo de acceso a los datos?

- b. ¿Cuál es la latencia de acierto de la cache?
- c. ¿Cuál sería la latencia de acierto en la cache si tanto el tiempo de acceso a las etiquetas y a la matriz de datos fuese 3 ns?

**12.** Sea una cache con un tiempo de acceso (tiempo de acierto en cache) de 10 ns y una tasa de fallos del 5 %. Si se realiza un cambio en la cache se disminuye la tasa de fallos al 3 % pero se incrementa el tiempo de acierto de cache a 15 ns. ¿Bajo qué condiciones este cambio supondría una mejora de las prestaciones, es decir, un tiempo medio de acceso a memoria menor?